

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-279597
 (43)Date of publication of application : 22.10.1996

(51)Int.Cl.

H01L 27/06
 H01L 27/04
 H01L 21/822

(21)Application number : 07-082246

(22)Date of filing : 07.04.1995

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(72)Inventor : YAMADA TAKAYUKI

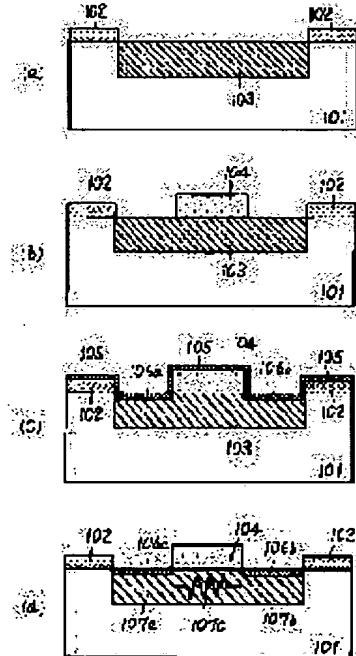
MIYANAGA ISAO
 MATSUMOTO MICHIICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a protection resistor which occupies a small area by forming an input protection resistor by permitting a first and second semiconductor areas, which are of second conductivity type and have a silicified surface, to allow continuity through a third semiconductor area, which is of a second conductivity type and has an unsilicified surface.

CONSTITUTION: Arsenic ions are implanted in the p-type well area 101 of a silicon substrate whereupon a field oxide film 102 is formed, and an n-type semiconductor area 103 is formed. After accumulating a silicon oxide film over the substrate, a silicon oxide film 104 is left on an n-type semiconductor area 103 by etching. Then, as a high-melting point metal, cobalt is accumulated, heat treatment is performed and cobalt silicide areas 106a and 106b are formed. Since the surface of the area under the silicon oxide film 104 in the n-type semiconductor area 103 is not silicified, a resistance element area 107c is easily formed. Since a p-type well area 101 is shared, a resistance device which occupies a small area is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-279597

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl.⁶
H 01 L 27/06
27/04
21/822

識別記号 庁内整理番号

F I
H 01 L 27/06
27/04

技術表示箇所
3 1 1 A
R

審査請求 未請求 請求項の数7 ○L (全7頁)

(21)出願番号 特願平7-82246

(22)出願日 平成7年(1995)4月7日

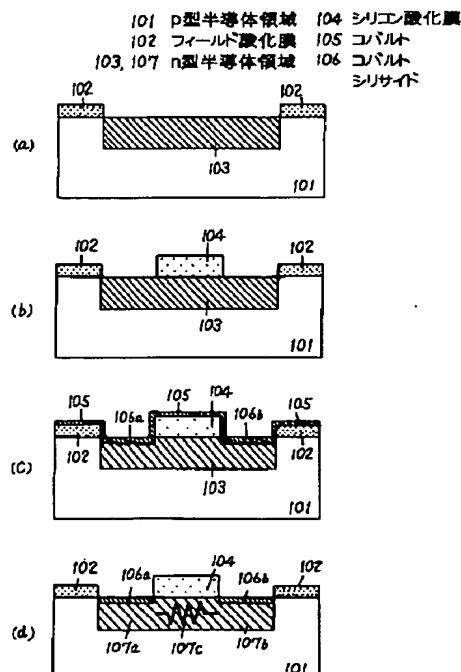
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 山田 隆順
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 宮永 繁
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 松元 道一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 静電破壊防止のための入力出力保護抵抗を少ない占有面積で形成する。

【構成】 第1導電型半導体領域101中に、第2導電型の半導体領域103を形成し(a)、基板全面に絶縁膜を堆積した後、エッチングして第2導電型の半導体領域103上に絶縁膜104を残し(b)、基板全面に高融点金属を堆積して、熱処理を行い金属シリサイド領域106a、106bを形成し(c)、フィールド酸化膜102および絶縁膜104上に堆積した高融点金属105を選択エッチングにより除去し(d)、表面がシリサイド化された第2導電型の第1の半導体領域107aと第2の半導体領域107bとを、表面がシリサイド化されていない第2導電型の第3の半導体領域107cを介して接続することにより入力保護抵抗を形成することとなる。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板上に形成され表面がシリサイド化された第2導電型の第1および第2の半導体領域と、前記第1導電型の半導体基板上に形成され表面がシリサイド化されていない第2導電型の第3の半導体領域とを有し、前記第1と第2の半導体領域が前記第3の半導体領域を介して導通させて形成された入力保護抵抗を有することを特徴とする半導体装置。

【請求項2】第1導電型の半導体基板に選択的に第2導電型の半導体領域を形成する工程と、少なくとも前記第2導電型の半導体領域内の抵抗素子となる領域上に絶縁膜を形成する工程と、前記半導体基板上全面に高融点金属を堆積するとともに前記絶縁膜の形成されていない前記第2導電型の半導体領域をシリサイド化する工程とを備え、前記絶縁膜の下の第2の導電型の半導体領域を抵抗素子とすることを特徴とする半導体装置の製造方法。

【請求項3】第2導電型の半導体領域を第1導電型の半導体基板に形成されたMOS型トランジスタのソース、ドレイン形成の工程と同時にを行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】第1導電型の半導体基板に選択的に第2導電型の低濃度の半導体領域を形成する工程と、少なくとも前記第2導電型の低濃度の半導体領域内の抵抗素子となる領域上に絶縁膜を形成する工程と、前記絶縁膜をマスクとして前記第2導電型の低濃度の半導体領域にイオン注入を行って高濃度の半導体領域を形成する工程と、前記半導体基板上全面に高融点金属を堆積するとともに前記絶縁膜の形成されていない前記第2導電型の半導体領域をシリサイド化する工程とを備え、前記絶縁膜の下の第2の導電型の半導体領域を抵抗素子とすることを特徴とする半導体装置の製造方法。

【請求項5】低濃度の半導体領域または高濃度の半導体領域を第1導電型の半導体基板に形成されたMOS型トランジスタのソース、ドレイン形成の工程と同時にを行うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】絶縁膜を形成する工程の際に、MOS型トランジスタの側壁スペーサを同時に形成することを特徴とする請求項2～5いずれかに記載の半導体装置の製造方法。

【請求項7】絶縁膜を形成する工程の際に、フィールド酸化膜端周辺領域上に絶縁膜を同時に形成することを特徴とする請求項2～5いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路装置における静電破壊防止のための入力出力保護抵抗の構造とその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体集積回路において素子の微細化が大きく進展してきており、MOS型トランジスタにおいてはゲート酸化膜の薄膜化とともに、ソース、ドレン領域のシリサイド化によるコンタクト抵抗の低減がはかられてきている。そしてゲート酸化膜の薄膜化および、シリサイド化による静電破壊耐圧の低下への対策として、半導体集積回路に入出力保護回路が組み込まれている。

10 【0003】図5は上記した従来の静電破壊保護回路を備えた入出力回路の一例を示すものである。図5において入出力端子1は保護抵抗2を介してpチャネル保護トランジスタ3のドレイン、nチャネル保護トランジスタ4のドレイン、pチャネル出力トランジスタ5のドレイン、nチャネル出力トランジスタ6のドレインに接続され、更に入力保護抵抗7を介して内部回路8に接続されている。pチャネル保護トランジスタ3のソース、ゲートはVDD電源端子に接続され、nチャネル保護トランジスタ4のソース、ゲートは接地端子に接続されている。また、pチャネル出力トランジスタ5のソースはVDD電源端子に接続され、ゲートは内部回路9に接続されている。nチャネル出力トランジスタ6のソースは接地端子に接続され、ゲートは内部回路10に接続されている。

20 【0004】このような構成の入出力回路において接地端子に対し入出力端子1にサージが印加された場合、サージは保護抵抗2により減衰された後、nチャネル保護トランジスタ4を通じてサージは放電吸収される。また、VDD電源端子に対し入出力端子1にサージが印加された場合も同様に、サージは保護抵抗2により減衰した後、pチャネル保護トランジスタ3を通じて放電吸収される。更に、入力保護抵抗7がサージ電圧を減衰させて内部回路8を保護している。

30 【0005】前記保護抵抗の従来例の1つとして、特開昭61-285749号公報に開示された構成を図6に示す。図6において、符号11はn型シリコン半導体基板、12は前記基板11の表面層に選択的に形成されたp-形ウェルであり、配線13a、13bに対しては、表面2箇所からそれぞれに低抵抗のp+形半導体層14a、14bを介してコンタクトをとっており、また、15はフィールド酸化膜、16は絶縁膜、17a、17bは各配線13a、13bのコンタクトホールであり、保護回路の抵抗として半導体基板内に形成される高抵抗のウェルを用いている。

【0006】

【発明が解決しようとする課題】しかしながら上記した従来例のような構成では、保護回路の抵抗として高抵抗のウェルを用いているため、保護回路のトランジスタのウェルとの間で分離が必要となる。したがって、抵抗として用いる領域の他に、ウェル分離領域の面積が必要と

なるため、少ない面積により保護回路を形成することができないという問題点を有していた。

【0007】本発明は上記問題点に鑑み、入出力回路の保護抵抗の構造を特別な分離を必要としないものとし、占有面積の少ない保護抵抗の構造およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達するため、本発明は、第1導電型の半導体基板上に形成され、表面がシリサイド化された第2導電型の第1および第2の半導体領域と、前記第1導電型の半導体基板上に形成され、表面がシリサイド化されていない第2導電型の第3の半導体領域とを具備し、前記第1と第2の半導体領域が前記第3の半導体領域を介して導通するように配置することにより、入力保護抵抗を形成することを特徴とする半導体装置である。

【0009】また、本発明は、第1導電型の半導体基板上に第2導電型の半導体領域を形成する工程と、前記基板全面に絶縁膜を堆積させる工程と、少なくとも前記第2導電型の半導体領域の内、抵抗素子となる領域上を残し前記絶縁膜をエッチングする工程と、前記基板上に高融点金属を堆積し、前記抵抗素子となる領域以外の前記第2導電型の半導体領域をシリサイド化する工程とを備え、前記絶縁膜をマスクとして用いることにより、前記抵抗素子をシリサイド化しないことを特徴とする半導体装置の製造方法である。

【0010】さらに本発明は、前記第2導電型の半導体領域の形成を、MOS型トランジスタのソース、ドレイン形成の工程と、また、前記絶縁膜の堆積とエッチングを、MOS型トランジスタの側壁スペーサ形成の工程と同時にを行うことを特徴とする半導体装置の製造方法である。

【0011】また、本発明は前記絶縁膜をエッチングする工程において、フィールド酸化膜端周辺領域上の前記絶縁膜を残してエッチングすることを特徴とする半導体装置の製造方法である。

【0012】

【作用】本発明の方法による各手段により、次のような作用が得られる。

【0013】第1に保護回路の抵抗として、第1導電型半導体領域中に形成された高抵抗の第2導電型の半導体領域を用いることにより、トランジスタのウェルを形成する第1電導型半導体領域との間に特別な分離を必要としないため、入出力保護回路の占有面積を少なくすることができます。

【0014】第2にMOS型トランジスタ形成の工程と同時に抵抗を形成することにより、工程数を増やすことなく、低コストで入力保護回路を形成することができる。

【0015】第3に抵抗領域形成と同一工程において、

フィールド酸化膜端周辺の半導体領域をシリサイド化しないことにより、工程数を増やすことなく、低コストでリーク電流の少ない抵抗装置を形成することができる。

【0016】

【実施例】

(実施例1) 以下、本発明を実施例により詳細に説明する。図1は本発明第1の実施例における半導体装置の製造工程断面図を示したものである。

【0017】

10 まず図1(a)に示すようにフィールド酸化膜102の形成されたシリコン基板のp型ウェル領域101中に砒素をイオン注入し、n型の半導体領域103を形成する。次に図1(b)に示すように基板全面にシリコン酸化膜を例えればCVD法で400nm堆積した後、フォトリソ工程によりエッチングしてn型の半導体領域103上にシリコン酸化膜104を残す。続いて図1(c)に示すように基板全面に高融点金属として例えればコバルトを堆積して、熱処理を行いコバルトシリサイド領域106a、106bを形成する。最後に図1(d)に示すようにフィールド酸化膜102およびシリコン酸化膜104上に堆積したコバルト105を選択エッチングにより除去して完了する。

20 **【0018】**本実施例によれば、シリコン酸化膜104をマスクとして用いてシリサイド化を行うことにより、n型半導体領域103のシリコン酸化膜104下の領域の表面はシリサイド化されないため、容易に抵抗素子領域107cを形成することができる。また、図2に示すように本実施例により形成された抵抗装置201とMOS型トランジスタ202とでp型ウェル領域101を共用化することができるため、占有面積の少ない抵抗装置30 を形成することができる。

30 **【0019】**なお、本実施例では101をp型、100、103、107をn型としたが、101をn型、103、107をp型としてもよい。また、高融点金属としてコバルトを用いたが、チタン、タングステン、ニッケル等を用いてもよい。

【0020】(実施例2) 図3は本発明第2の実施例における半導体装置の製造工程断面図を示したものである。

40 **【0021】**まず図3(a)に示すようにp型シリコン基板101上に4~20nm程度の酸化膜を形成し、その上に多結晶シリコン膜を300nm程度堆積した後、フォトリソ工程によりエッチングして、MOSトランジスタのゲート酸化膜108およびゲート電極109を形成する。次に図3(b)に示すようにゲート電極109をマスクにして砒素をp型半導体基板101中に低濃度にイオン注入し、ソース、ドレイン領域および、抵抗領域となるn型の半導体領域103を形成し、続いて図3(c)に示すようにシリコン酸化膜を例えればCVD法で400nm堆積した後、フォトリソ工程によりエッチングして、ゲート酸化膜の側壁スペーサ104a、104b

b、およびn⁻型半導体領域103上のシリコン酸化膜104cを残す。さらに図3(d)に示すように前記ゲート電極109、側壁スペーサ104a、104b、およびシリコン酸化膜104cをマスクとして砒素を高濃度に注入して、n⁺半導体領域112a、112b、112cを形成する。そして図3(e)に示すように基板全面に高融点金属として例えばコバルトを堆積し、熱処理を行いコバルトシリサイド領域106a、106b、106cを形成する。次いで、側壁スペーサ104a、104b、およびシリコン酸化膜104c上に堆積したコバルトを選択エッチングにより除去する。最後に図3(f)に示すようにシリコン酸化膜110を例えればCVD法で堆積し、コバルトシリサイド領域106a、106b上の所望の位置にコンタクト窓を設け、配線111a、111bを形成して完了する。

【0022】本実施例によれば抵抗領域形成の工程をMOSトランジスタ形成の工程と共通化することができる、抵抗装置を工程数を増やすことなく低コストで形成することができる。

【0023】なお、本実施例でも上記した第1の実施例と同様に101をp型、103、112をn型としたが、101をn型、103、112をp型としてもよい。また、高融点金属としてコバルトを用いたが、チタン、タングステン、ニッケル等を用いてもよい。

【0024】(実施例3)図4は本発明第3の実施例における半導体装置の製造工程断面図を示したものである。

【0025】図4(a)及び(b)は上記の第2の実施例に示した図3(a)及び(b)と同様である。図4(c)において、シリコン酸化膜を例えればCVD法で400nm堆積した後、フォトリソ工程によりエッチングして、ゲート酸化膜の側壁スペーサ104a、104b、n⁻型半導体領域103上のシリコン酸化膜104c、およびフィールド酸化膜102端周辺領域上のシリコン酸化膜104d、104eを残す。次に図4(d)に示すように前記ゲート電極109、側壁スペーサ104a、104b、およびシリコン酸化膜104c、104d、104eをマスクとして砒素を高濃度に注入して、n⁺型半導体領域112a、112b、112cを形成し、続いて図4(e)に示すように基板全面に高融点金属として例えばコバルトを堆積し、熱処理を行いコバルトシリサイド領域106a、106b、106cを形成する。次いで、側壁スペーサ104a、104b、およびシリコン酸化膜104c、104d、104e上に堆積したコバルトを選択エッチングにより除去する。最後に図4(f)に示すようにシリコン酸化膜110を例えればCVD法で堆積し、コバルトシリサイド領域106bの所望の位置にコンタクト窓を設け、配線111a、111bを形成して完了する。

6a、106bの所望の位置にコンタクト窓を設け、配線111a、111bを形成して完了する。

【0026】本実施例によればウェルのフィールド酸化膜端領域の抵抗が大きいため、隣接ウェル間のリーク電流を小さくすることができる。

【0027】なお、本実施例でも上記した第1の実施例と同様に101をp型、103、112をn型としたが、101をn型、103、112をp型としてもよい。また、高融点金属としてコバルトを用いたが、チタン、タングステン、ニッケル等を用いてもよい。

【0028】

【発明の効果】以上のように本発明によれば、第1導電型半導体領域中に形成された高抵抗の第2導電型半導体領域を用いることにより、MOS型トランジスタの第1導電型のウェルとの間に特別な分離を必要としないために、所定の抵抗値を少ない面積によって得ることができ、保護抵抗形成に必要な基板の面積が減少することになる。また、MOS型トランジスタ形成の工程と同時に抵抗を形成することができるので、工程数を増やすことなく低コストで入力保護回路を形成することができる。

【図面の簡単な説明】

【図1】本発明第1の実施例における半導体装置の製造工程断面図

【図2】本発明第1の実施例における半導体装置の断面概略図

【図3】本発明第2の実施例における半導体装置の製造工程断面図

【図4】本発明第3の実施例における半導体装置の製造工程断面図

30 【図5】半導体装置における入出力保護回路図

【図6】従来の半導体装置における入出力保護抵抗装置の概略図

【符号の説明】

100 n型シリコン基板

101 p型半導体領域

102 フィールド酸化膜

103 n型半導体領域

104 シリコン酸化膜

105 コバルト

40 106 コバルトシリサイド

107 n型半導体領域

108 ゲート酸化膜

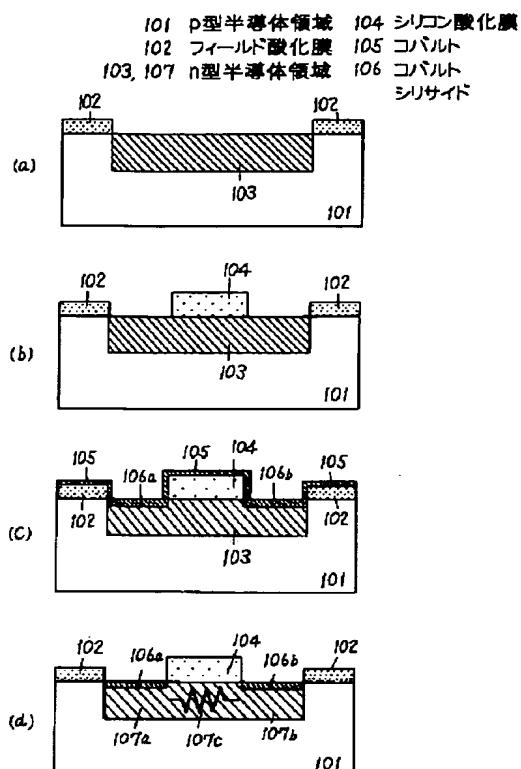
109 ゲート

110 シリコン酸化膜

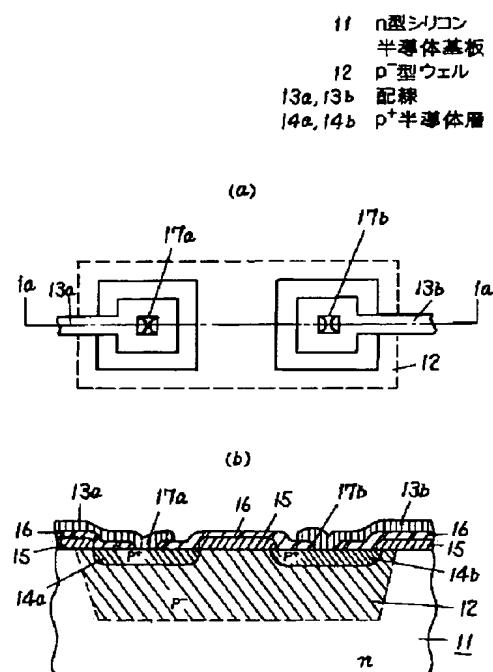
111 配線

112 n⁺型半導体領域

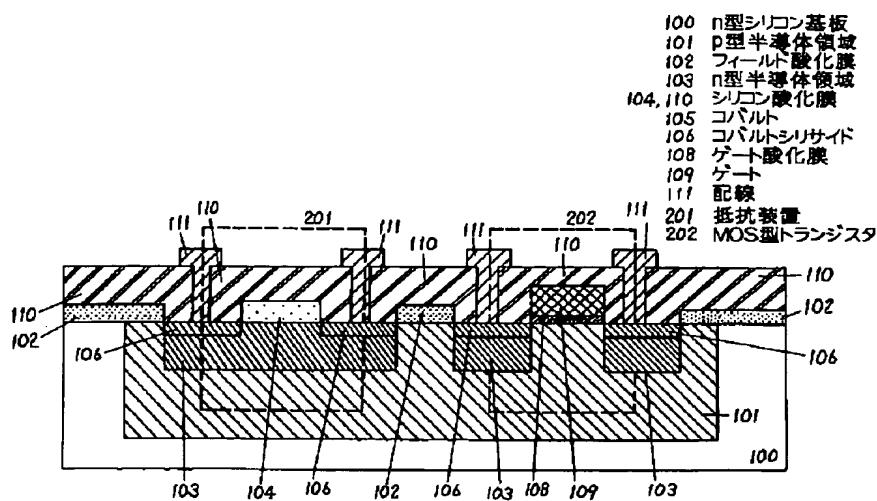
【図1】



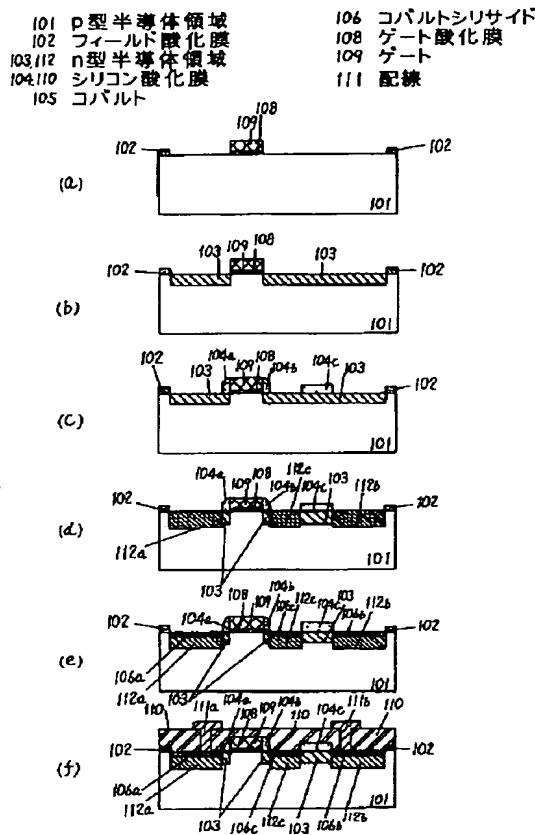
【図6】



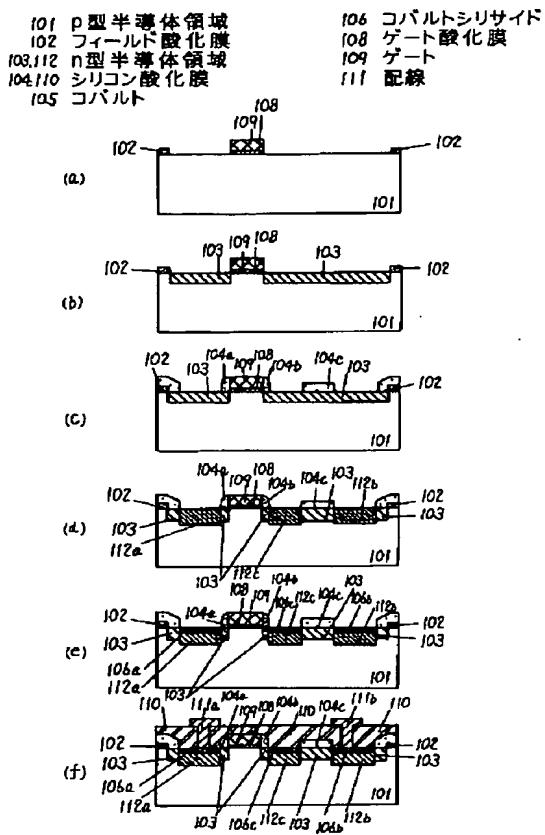
【図2】



【図3】



【図4】



【図5】

1 入出力端子	5 Pチャネル出力
2 保護抵抗	トランジスタ
3 Pチャネル保護 トランジスタ	6 nチャネル出力
4 nチャネル保護 トランジスタ	トランジスタ
7 入力保護抵抗	
8,9,10 内部回路	

